

09/630-526

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-338198

(43)Date of publication of application : 06.12.1994

(51)Int.Cl.

G11C 19/00
G11C 19/28
H04N 5/335

(21)Application number : 05-145474

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 26.05.1993

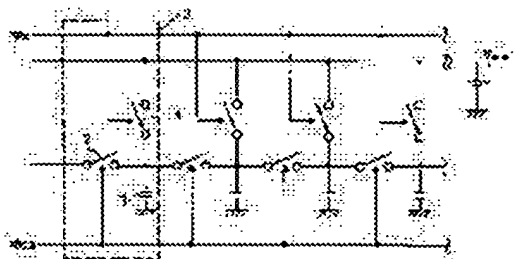
(72)Inventor : NOMOTO TETSUO

(54) SHIFT REGISTER WITH RESETTING FUNCTION

(57)Abstract:

PURPOSE: To obtain a shift register having a resetting function which can instantaneously resets information.

CONSTITUTION: This register is constituted in such a way that shift register units 3 respectively composed of capacitance 1 for storing information and transmission switches 2 which are opened or closed in accordance with clocks for transmitting the information stored in the capacitance 1 are cascade- connected in multiple stages and a reset switch 4 is installed to each register unit 3 so that the information stored in the capacitance 1 can be reset.



LEGAL STATUS

[Date of request for examination] 19.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

010156558 **Image available**

WPI Acc No: 1995-057810/ 199508

XRFX Acc No: N95-045687

Shift register with reset function - instantly resets stored information,
esp. for scanning pulse generating circuit, using reset switch, clock and
capacitor NoAbstract

Patent Assignee: OLYMPUS OPTICAL CO LTD (OLYU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6338198	A	19941206	JP 93145474	A	19930526	199508 B

Priority Applications (No Type Date): JP 93145474 A 19930526

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 6338198	A		10	G11C-019/00	

Abstract (Basic): JP 6338198 A

Dwg.1/11

Title Terms: SHIFT; REGISTER; RESET; FUNCTION; INSTANT; RESET; STORAGE;
INFORMATION; SCAN; PULSE; GENERATE; CIRCUIT; RESET; SWITCH; CLOCK;
CAPACITOR; NOABSTRACT

Derwent Class: U14; W04

International Patent Class (Additional): G11C-019/28; H04N-005/335

File Segment: EPI

Manual Codes (EPI/S-X): U14-A01; W04-M01B5

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-338198

(43) 公開日 平成6年(1994)12月6日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 19/00	H			
19/28	D			
H 0 4 N 5/335	E			

審査請求 未請求 請求項の数 8 F D (全 10 頁)

(21) 出願番号 特願平5-145474

(22) 出願日 平成5年(1993)5月26日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 野本 哲夫

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

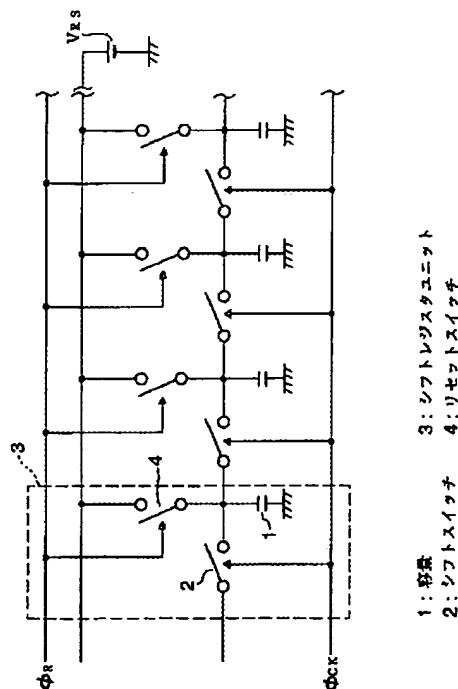
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 リセット機能付きシフトレジスタ

(57) 【要約】

【目的】 瞬時にリセットすることの可能なリセット機能付きシフトレジスタを提供する。

【構成】 情報を蓄積する容量1と、該容量1に蓄積した情報を伝達するクロックに従って開閉する伝達スイッチ2とからなるシフトレジスタユニット3を多段に縦続接続してなるシフトレジスタにおいて、前記各シフトレジスタユニット3にリセットスイッチ4を設け、前記容量1に蓄積された情報をリセットするようにしてリセット機能付きシフトレジスタを構成する。



【特許請求の範囲】

【請求項1】 情報を蓄積する容量と、該容量に蓄積した情報を伝達するクロックに従って開閉する伝達スイッチとからなるシフトレジスタユニットを多段に縦続接続してなるシフトレジスタにおいて、前記各シフトレジスタユニットにリセットスイッチを設け、前記容量に蓄積された情報をリセットするように構成したことを特徴とするリセット機能付きシフトレジスタ。

【請求項2】 前記シフトレジスタユニットを、伝達スイッチ機能をもつ第1のクロック型インバータと情報蓄積容量機能をもつ第2のクロック型インバータとの直列接続で構成し、前記第1のクロック型インバータの出力端子にドレイン端子を接続し、第1の電源端子にソース端子を接続したりセットトランジスタを設け、該リセットトランジスタのゲート端子には、シフトレジスタユニットをリセットしようとするタイミングでリセットトランジスタをオンさせるパルスを加えるように構成したことを特徴とする請求項1記載のリセット機能付きシフトレジスタ。

【請求項3】 前記シフトレジスタユニットを、伝達スイッチ機能をもつ第1のクロック型インバータと情報蓄積容量機能をもつ第2のクロック型インバータとの直列接続で構成し、前記第1のクロック型インバータの出力端子にドレイン端子を接続し、第1の電源端子にソース端子を接続した第1のリセットトランジスタを設けると共に、第2のクロック型インバータの出力端子にドレイン端子を接続し、第2の電源端子にソース端子を接続した第2のリセットトランジスタを設け、第1及び第2のリセットトランジスタの各ゲート端子にはシフトレジスタユニットをリセットしようとするタイミングで各リセットトランジスタをオンさせるパルスを加え、第1のクロック型インバータと第2のクロック型インバータの出力端子を、それぞれ逆の電位にリセットするように構成したことを特徴とする請求項1記載のリセット機能付きシフトレジスタ。

【請求項4】 クロック型NANDとクロック型インバータの直列接続で構成したシフトレジスタユニットを多段に縦続接続してなるシフトレジスタにおいて、クロック型NANDの一方の入力端子は前段のシフトレジスタユニットのクロック型インバータの出力に、他方の入力端子はリセット信号端子にそれぞれ接続し、リセット信号にローレベルを入力したときに、シフトレジスタユニットをリセットするように構成したことを特徴とするリセット機能付きシフトレジスタ。

【請求項5】 クロック型NORとクロック型インバータの直列接続で構成したシフトレジスタユニットを多段に縦続接続してなるシフトレジスタにおいて、クロック型NORの一方の入力端子は前段のシフトレジスタユニットのクロック型インバータの出力に、他方の入力端子はリセット信号端子にそれぞれ接続し、リセット信号に

ハイレベルを入力したときに、シフトレジスタユニットをリセットするように構成したことを特徴とするリセット機能付きシフトレジスタ。

【請求項6】 第1のクロック型NANDと、該第1のクロック型NANDの出力端子を一方の入力端子に接続した第2のクロック型NANDとで構成したシフトレジスタユニットを多段に縦続接続してなるシフトレジスタにおいて、第1のクロック型NANDの一方の入力端子を前段のシフトレジスタユニットの第2のクロック型NANDの出力端子に接続し、第1及び第2のクロック型NANDの他方の各入力端子には独立した各リセット信号端子を接続し、前記各リセット信号に選択的にローレベルを加えることにより、リセット後の各シフトレジスタユニット内の情報の論理を選択できるように構成したことを特徴とするリセット機能付きシフトレジスタ。

【請求項7】 第1のクロック型NORと、該第1のクロック型NORの出力端子を一方の入力端子に接続した第2のクロック型NORとで構成したシフトレジスタユニットを多段に縦続接続してなるシフトレジスタにおいて、第1のクロック型NORの一方の入力端子を前段のシフトレジスタユニットの第2のクロック型NORの出力端子に接続し、第1及び第2のクロック型NORの他方の各入力端子には独立した各リセット信号端子を接続し、前記各リセット信号に選択的にハイレベルを加えることにより、リセット後の各シフトレジスタユニット内の情報の論理を選択できるように構成したことを特徴とするリセット機能付きシフトレジスタ。

【請求項8】 前記請求項1～7のいずれか1項に記載のリセット機能付きシフトレジスタを用いて、読み出し画素を選択するための水平及び垂直走査回路の少なくとも一方を構成し、前記リセット機能付きシフトレジスタをリセットすることにより、受光画素の読み出しを途中で終了させることができるように構成したXYアドレス型固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、シフトレジスタに関し、特に走査パルス発生回路等に用いられるリセット機能付きシフトレジスタに関する。

【0002】

【従来の技術】従来、固体撮像装置等を駆動するための走査回路の一つとして、クロック型インバータを直列に接続したクロック型CMOSシフトレジスタを利用したものが知られている。かかるシフトレジスタの構成例を図11に示す。図11において、101は第1のクロック型インバータ、102は第2のクロック型インバータであり、第1及び第2のクロック型インバータ101、102を直列に接続してシフトレジスタユニット103を構成し、多数のシフトレジスタユニット103を縦続接続してシフトレジスタを構成している。そして各シフトレジスタユニッ

3

ト103では、入力信号 ϕ_{sr} をクロックパルス ϕ_1 、 ϕ_2 のタイミングに従って反転し、多段に構成することによりシフトレジスタの機能をもたせている。

【0003】このように構成したシフトレジスタにおいて、走査の途中でリセットするためには、クロック型インバータのクロックが入力される端子に、クロック型インバータが通常のインバータと同様の機能をもつインバータとなるような電位を加えることにより実現することができる。

【0004】

【発明が解決しようとする課題】ところで、上記のような方法で、上記構成のシフトレジスタのリセットを行う場合、シフトレジスタが多段のシフトレジスタユニットで構成されていると、シフトレジスタユニット全段をリセットするには、シフトレジスタユニットの伝播遅延時間の段数倍の時間が必要となる。例えば、シフトレジスタユニット1段の伝播遅延時間が5nsであり、シフトレジスタユニット1000段でシフトレジスタを構成している場合、全段のシフトレジスタユニットをリセットするには5 μ s必要とする。したがって、走査回路に多段のシフトレジスタユニットで構成したシフトレジスタを用いている場合には、伝播遅延時間が大きくなり、情報の伝播を高速に行うことは難しく、走査回路を短時間のうちにリセットすることは困難である。

【0005】本発明は、従来のシフトレジスタにおける上記問題点を解消するためになされたもので、瞬時にリセットすることの可能なリセット機能付きシフトレジスタを提供することを目的とする。

【0006】

【課題を解決するための手段及び作用】上記問題点を解決するために、本発明は、図1の概念図に示すように、情報を蓄積する容量1と、該容量1に蓄積した情報を伝達するクロックに従って開閉する伝達スイッチ2とからなるシフトレジスタユニット3を多段に縦続接続してなるシフトレジスタにおいて、前記各シフトレジスタユニット3にリセットスイッチ4を設け、前記容量1に蓄積された情報をリセットするようにしてリセット機能付きシフトレジスタを構成するものである。なお図1において、 ϕ_{cr} はシフトクロック、 ϕ_r はリセット信号、 V_{rs} はリセット電源を示している。

【0007】このように構成したリセット機能付きシフトレジスタにおいては、シフトレジスタを構成する各シフトレジスタユニット3にそれぞれリセットスイッチ4を設けているので、このリセットスイッチ4を一斉に動作させることにより、瞬時に全段のシフトレジスタユニット3内の容量1に蓄積された情報をリセットすることが可能となる。

【0008】

【実施例】次に実施例について説明する。図2は、本発明に係るリセット機能付きシフトレジスタの第1実施例

4

を示す回路構成図である。図2において、11はシフトレジスタユニットで、直列に接続した第1のクロック型インバータ12及び第2のクロック型インバータ13と、前記第1のクロック型インバータ12の出力ノードと電源電位 V_{DD} の間に接続したPチャネルMOSトランジスタからなるリセットトランジスタ14とで構成され、リセットトランジスタ14のゲートにはリセット信号 ϕ_r が印加されるようになっている。そして、このように構成されたシフトレジスタユニット11は多段に縦続接続され、リセット機能付きシフトレジスタを構成している。なお図2において、 $N_{0.5}$ 、 $N_{1.5}$ 、 $N_{2.5}$ 、 $N_{3.5}$ 、 \dots は縦続接続された各シフトレジスタユニットにおける第1のクロック型インバータ12の出力ノードで、 N_1 、 N_2 、 N_3 、 \dots は同じく各シフトレジスタユニットにおける第2のクロック型インバータ13の出力ノードを示している。

10

【0009】次に、このように構成したリセット機能付きシフトレジスタの動作を、図3に示したタイミングチャートを参照しながら説明する。リセット信号 ϕ_r がハイレベルであると、リセットトランジスタ14は常にオフとなるので、リセットトランジスタを設けていないシフトレジスタと同等の動作をする。スタートパルス ϕ_{sr} が、クロック ϕ_1 、 ϕ_2 に従って、シフトレジスタ内をシフトしている最中に、タイミング t_1 においてリセット信号 ϕ_r をローレベルにすると、ノード $N_{0.5}$ 、 $N_{1.5}$ 、 $N_{2.5}$ 、 $N_{3.5}$ 、 \dots は強制的にハイレベルに固定される。したがって、それまでシフトレジスタ内をシフトしていた情報は、リセットされることになる。

20

【0010】この実施例においては、リセットトランジスタ14としてPチャネルMOSトランジスタを用いたものを示したが、NチャネルMOSトランジスタをノード $N_{0.5}$ 、 $N_{1.5}$ 、 $N_{2.5}$ 、 $N_{3.5}$ 、 \dots と接地電位 V_{SS} との間に接続し、リセット信号 ϕ_r の論理を逆転することにより、各ノードの電位が逆になるようにリセット動作させることができるのは明らかである。またリセットトランジスタとして、NチャネルMOSトランジスタとPチャネルMOSトランジスタの両方を準備し、いずれかを選択できるように構成すれば、ハイレベルかローレベルかのいずれかに選択的にノードをリセットすることができる。

30

40

【0011】上記第1実施例においては、リセットトランジスタをオンさせるためのリセット信号 ϕ_r が印加されるタイミングによっては、シフトレジスタ内の情報をリセットするのに、クロック ϕ_1 の1周期以下の時間の遅れが生じることがある。その状態を図4のタイミングチャートを用いて説明する。図4において、リセット信号 ϕ_r はクロック ϕ_1 のハイレベルとクロック ϕ_2 のハイレベルの間のタイミング t_2 で、ローレベルとなっている。リセット信号 ϕ_r がローレベルになると同時に、ノード $N_{0.5}$ 、 $N_{1.5}$ 、 $N_{2.5}$ 、 $N_{3.5}$ 、 \dots はハ

イレベルに固定され、それまでの情報はリセットされるが、ノード N_1 , N_2 , N_3 , ... はクロック ϕ_1 がハイレベルになるタイミング t_1 まで、情報が保存された状態にある。

【0012】次に、このようなリセット操作の時間的な遅れを防ぐようにした第2実施例について説明する。図5は、第2実施例を示す回路構成図で、図2に示した第1実施例と同一又は同一の機能を有する構成要素には同一符号を付して示している。この実施例においては、図5に示すように、第1のリセットトランジスタ20を各シフトレジスタユニット11を構成する第1のクロック型インバータ12の出力と電源電位 V_{DD} の間に接続し、ゲートにはリセット信号 ϕ_r を印加するようにし、第2のリセットトランジスタ21を各シフトレジスタユニット11を構成する第2のクロック型インバータ13の出力と接地電位 V_{SS} との間に接続し、ゲートにはリセット信号 ϕ_r （リセット信号 ϕ_r の反転信号）を印加するように構成している。なお、第1のリセットトランジスタ20はPチャネルMOSトランジスタで、第2のリセットトランジスタ21はNチャネルMOSトランジスタで構成されている。

【0013】このように構成されたリセット機能付きシフトレジスタにおいて、図6のタイミングチャートに示すように、シフトレジスタに貫通電流が流れないようなタイミングで、各リセットトランジスタ20, 21をオンさせるようなリセット信号 ϕ_r , $\phi_{\bar{r}}$ を、各リセットトランジスタ20, 21に印加することにより、シフトレジスタユニット全段を時間的な遅れなしでリセットすることができる。第1のクロック型インバータ12はクロック ϕ_2 がハイレベルの時、第2のクロック型インバータ13はクロック ϕ_1 がハイレベルの時に、アクティブとなるので、リセット信号 ϕ_r はクロック ϕ_1 及び ϕ_2 が共にローレベルである時に、ローレベルとする。

【0014】図5に示した第2実施例では、第1及び第2のクロック型インバータ12, 13に付加される第1及び第2のリセットトランジスタ20, 21として、PチャネルMOSトランジスタ又はNチャネルMOSトランジスタをそれぞれ用いたものを示したが、第1及び第2のクロック型インバータ12, 13に、それぞれPチャネルMOSトランジスタ及びNチャネルMOSトランジスタを設け、選択的にオンさせることができるように構成することにより、シフトレジスタをリセットする際に、ハイレベルにリセットするかローレベルにリセットするかを選択することができる。

【0015】図2に示した第1実施例においては、リセット信号 ϕ_r をローレベルとすることにより、シフトレジスタの中の情報をリセットする構成のものを示した。しかし、この第1実施例においては、リセット信号 ϕ_r にローレベル、クロック ϕ_2 にハイレベルが同時に入力されると、クロック ϕ_2 が入力されている第1のクロ

ク型インバータとリセットトランジスタとの間で、貫通電流が流れることがあるため、リセット信号 ϕ_r とクロック ϕ_2 の位相管理を厳密に行う必要がある。

【0016】次に、このような厳密な位相管理を必要としないようにした、本発明の第3実施例について説明する。図7は、第3実施例を示す回路構成図で、図2に示した第1実施例と同一又は同一の機能を有する構成要素には同一符号を付して示している。この実施例においては、図7に示すように、シフトレジスタユニット11は、クロック型NAND30とクロック型インバータ31を直列に接続し、クロック型NAND30の2入力のうちの1つにリセット信号 ϕ_r を印加するようにして構成されている。

【0017】この実施例は、上記のように、通常の2つのクロック型インバータを直列に接続して構成したシフトレジスタユニットのうち、一方の第1のクロック型インバータをクロック型NANDに置き換えたものであるが、図8のタイミングチャートに示すように、リセット信号 ϕ_r をローレベルとすることにより、クロック ϕ_2 のハイレベルと重なることによる貫通電流の発生を要せずに、クロック型NANDの出力をハイレベルに固定することができる。

【0018】この第3実施例においては、シフトレジスタユニットをクロック型NANDとクロック型インバータの直列接続で構成したものを示したが、クロック型NANDをクロック型NORとすることにより、リセット時の出力をローレベルとすることができる。また、リセット信号 ϕ_r がローレベルとなるタイミングとクロック ϕ_2 がハイレベルとなるタイミングが重ならない場合には、図7に示した第3実施例におけるシフトレジスタユニットのクロック型NANDを構成しているトランジスタQ1～Q6の中、トランジスタQ6を省くこともできる。

【0019】また、上記第3実施例においては、クロック型NANDとクロック型インバータの直列接続でシフトレジスタユニットを構成したものを示したが、シフトレジスタユニットを2つの直列接続したクロック型NAND、あるいは2つの直列接続したクロック型NORで構成し、第1のクロック型NAND及び第2のクロック型NANDの入力端子の一つをそれぞれ独立に取り出し、あるいは第1のクロック型NOR及び第2のクロック型NORの入力端子の一つをそれぞれ独立に取り出し、シフトレジスタをリセットするときに、前記入力端子のいずれかを選択してローレベルあるいはハイレベルを印加することにより、リセット後のシフトレジスタ全体の情報をハイレベルとするかローレベルとするかを選択することができる。

【0020】次に、本発明に係るシフトレジスタをXYアドレス型固体撮像装置に応用した場合の構成例を、図9に基づいて説明する。この構成例は4×4画素をもつ

固体撮像装置を示しており、図9において、51は画素、52は列方向に配列された画素に共通に接続された垂直選択線、53は行方向に配列された画素に共通に接続された水平選択線である。54は、本発明によるシフトレジスタを備えていて垂直選択線52を選択し、選択画素の信号を信号出力端子56に出力する選択スイッチを有する水平走査回路で、55は本発明によるシフトレジスタを備え水平選択線53を選択する垂直走査回路である。

【0021】このように構成したXYアドレス型固体撮像装置においては、通常の走査では、図10の(A)において斜線を施した部分、すなわち全画素の情報が信号出力端子56に現れる。水平走査回路54を構成しているシフトレジスタを水平方向2画素分の出力を得た後にリセットし、垂直走査回路55を構成しているシフトレジスタを垂直方向2画素分の出力を得た後にリセットすることにより、図10の(B)に示すように、4×4の全画素の中、2×2画素のみの出力を得ることができる。

【0022】このように、本発明に係るシフトレジスタを用いたXYアドレス型固体撮像装置においては、水平方向又は垂直方向の走査を途中で止めることができ、読み出し範囲を限定することが可能となり、フレームレートを高めることができる。なお上記構成例においては、本発明によるシフトレジスタを、水平及び垂直の両方の走査回路に用いたものを示したが、いずれか一方の走査回路に用いることにより、水平もしくは垂直方向にのみ、走査範囲を限定することができるように構成することも可能である。

【0023】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、リセット信号を入力することにより多段構成のシフトレジスタを瞬時にリセットすることが可能となる。

【図面の簡単な説明】

【図1】本発明に係るリセット機能付きシフトレジスタ

を説明するための概念図である。

【図2】本発明の第1実施例を示す回路構成図である。

【図3】図2に示した第1実施例の動作を説明するためのタイミングチャートである。

【図4】図2に示した第1実施例において、リセット信号が図3と異なるタイミングでローレベルとなる場合の動作を説明するためのタイミングチャートである。

【図5】本発明の第2実施例を示す回路構成図である。

【図6】図5に示した第2実施例の動作を説明するためのタイミングチャートである。

【図7】本発明の第3実施例を示す回路構成図である。

【図8】図7に示した第3実施例の動作を説明するためのタイミングチャートである。

【図9】本発明に係るリセット機能付きシフトレジスタを用いたXYアドレス型固体撮像装置の構成例を示す図である。

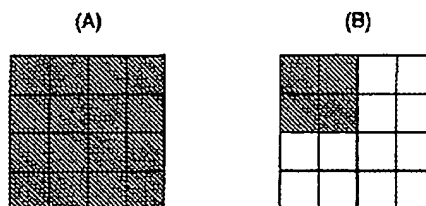
【図10】図9に示した固体撮像装置の動作を説明するための図である。

【図11】従来のシフトレジスタの構成例を示す回路構成図である。

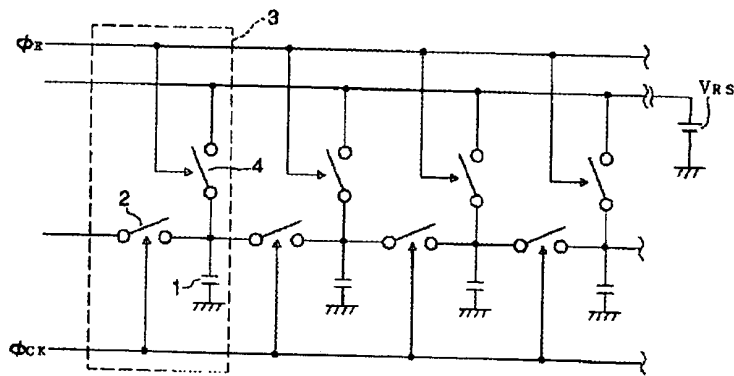
【符号の説明】

- 1 容量
- 2 シフトスイッチ
- 3 シフトレジスタユニット
- 4 リセットスイッチ
- 11 シフトレジスタユニット
- 12 第1のクロック型インバータ
- 13 第2のクロック型インバータ
- 14 リセットトランジスタ
- 20 第1のリセットトランジスタ
- 21 第2のリセットトランジスタ
- 30 クロック型NAND
- 31 クロック型インバータ

【図10】

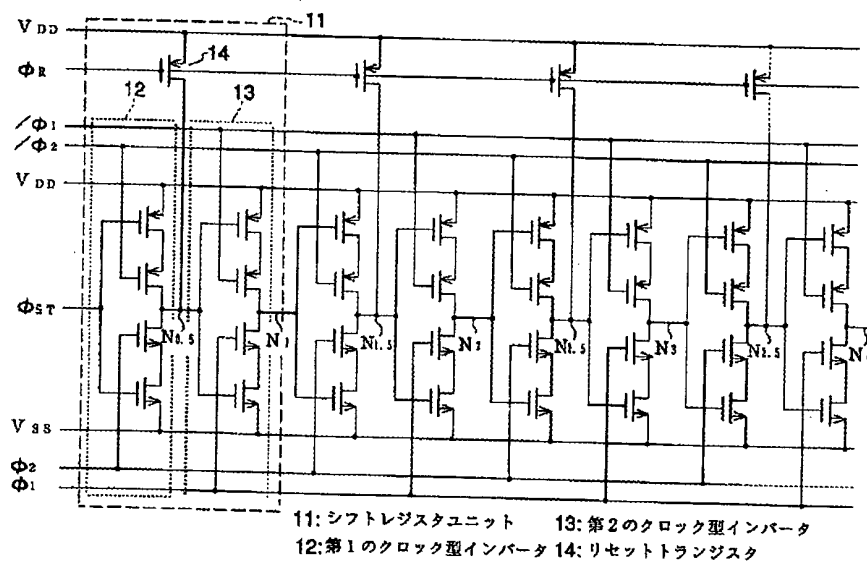


【図1】

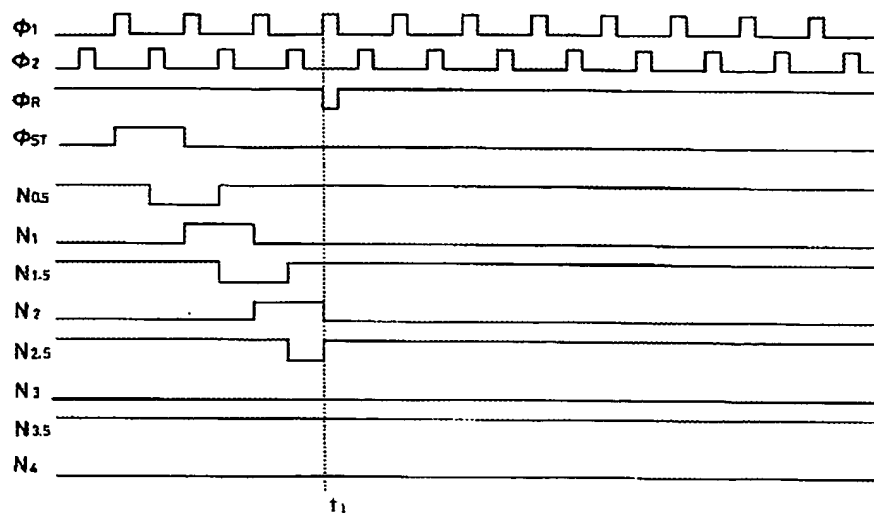


- 1: 容量 3: シフトレジスタユニット
2: シフトスイッチ 4: リセットスイッチ

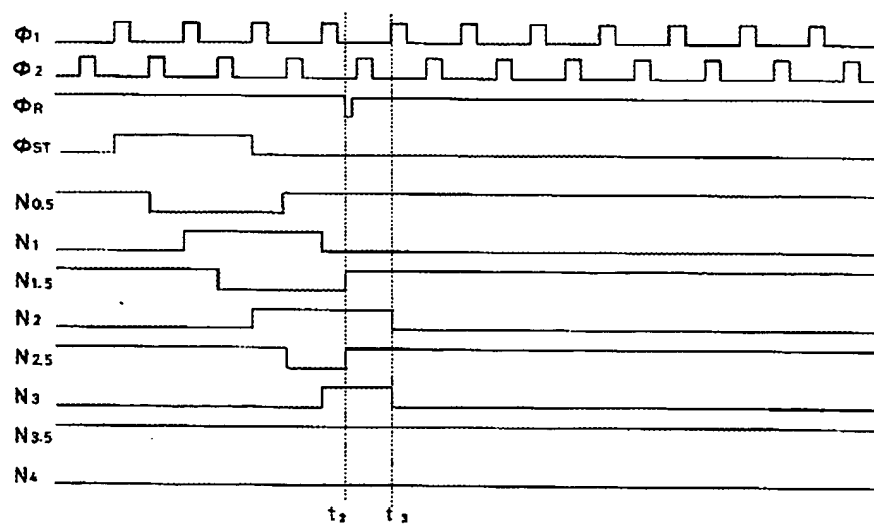
【図2】



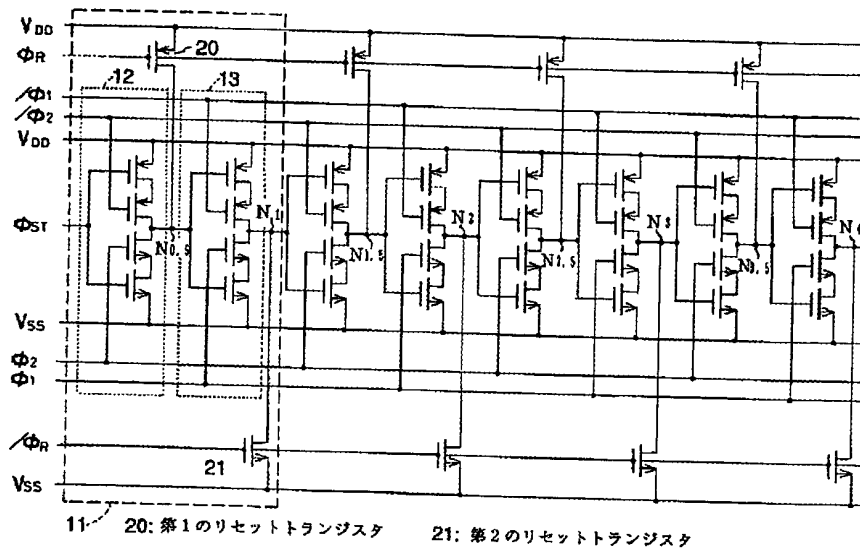
【図3】



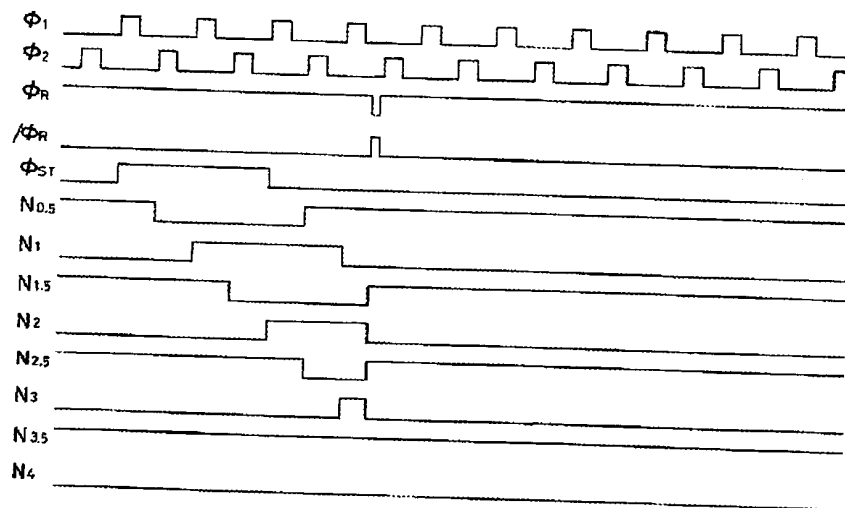
【図4】



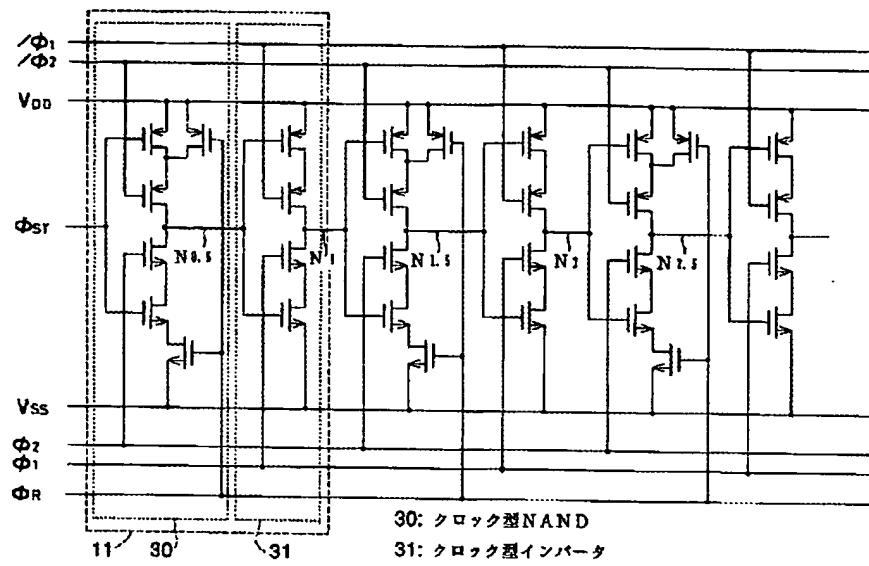
【図5】



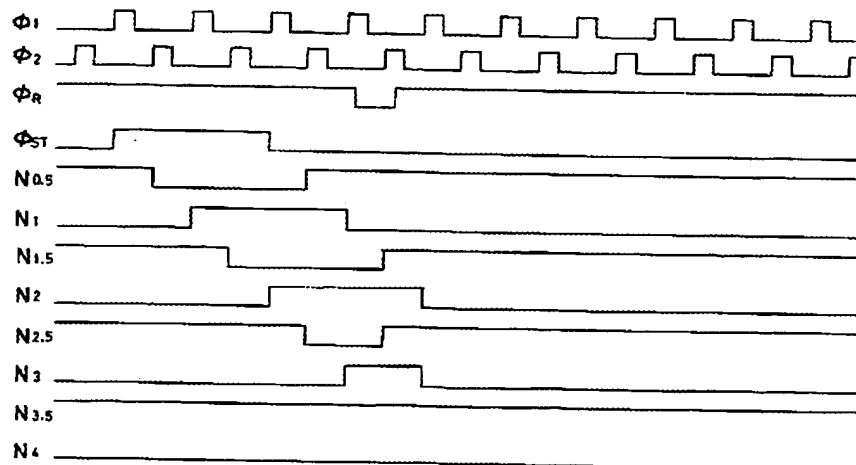
【図6】



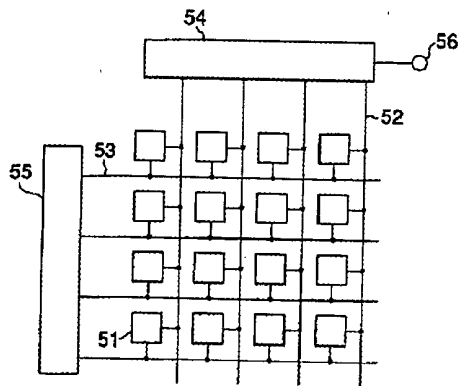
【図7】



【図8】



【図9】



- 51: 画素
 52: 垂直選択線
 53: 水平選択線
 54: 水平走査回路
 55: 垂直走査回路
 56: 信号出力端子

【図11】

